



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0074456
Application Number

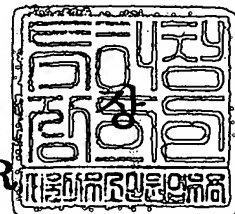
출원 년 월 일 : 2002년 11월 27일
Date of Application NOV 27, 2002

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.11.27
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	Method of manufacturing a semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	동차덕
【성명의 영문표기】	DONG, Cha Deok
【주민등록번호】	720328-1168041
【우편번호】	467-040
【주소】	경기도 이천시 송정동 322번지 동양아파트 101-704
【국적】	KR
【발명자】	
【성명의 국문표기】	신승우
【성명의 영문표기】	SHIN, Seung Woo
【주민등록번호】	631214-1109718
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 현대전자 사원아파트 108-1107호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다 리인 무 (인) 신영

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 2 면 2,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 31,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 본 발명은 플로팅 게이트를 형성한 다음 질화 공정을 실시하여 플로팅 게이트 전극 상부표면의 거칠기를 개선할 수 있고, 질화공정과 유전체막 형성공정을 인-시츄로 진행하여 공정을 단순화할 수 있는 반도체 소자의 제조 방법을 제공한다.

【대표도】

도 1f

【색인어】

질화공정, 유전체막, 동일챔버, 어닐

【명세서】

【발명의 명칭】

반도체 소자의 제조 방법{Method of manufacturing a semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1g는 본 발명에 따른 반도체 소자의 제조 방법에 관해 설명하기 위한 단면도들이다.

도 2는 본 발명에 따른 표면처리 공정과 유전체막 증착 공정을 설명하기 위한 개념도이다.

<도면의 주요 부분에 대한 부호의 설명>

10 : 반도체 기판 12 : 터널 산화막

14, 26, 42 : 폴리 실리콘 16 : 패드 질화막

18 : 트렌치 20, 22, 34, 38 : 산화막

30 : 플로팅 게이트 전극 32 : 질화층

36 : 질화막 40 : 유전체막

44 : 텅스텐 실리사이드막

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 플래시 메모리 셀의 유전체막 형성 방법에 관한 것이다.
- <11> 최근 디자인 룰(Design Rule)이 줄어들고 소자의 사이즈(Size)가 줄어들면서 플래시 메모리 셀에서 플로팅 게이트간의 간격 및 커패시팅에 가장 큰 영향을 미치는 필드 산화막(Field Oxide; FOX) 중첩(Overlap)의 조절에 어려움을 겪고 있다. 일반적으로 STI 공정을 이용하여 플래시 메모리 셀을 구현하고 있는데, 플로팅 게이트의 아이솔레이션(Isolation) 진행시에 마스크를 이용한 패터닝 공정의 작업은 마스크 임계치수(Critical Dimension; CD) 변화에 따른 웨이퍼의 균일화가 용이하지 않아 소자간의 커패시팅 비가 균일하지 않는 문제점이 발생한다. 또한 플래시 메모리 소자의 프로그램 및 소거시 높은 바이어스 전압을 인가하게 되면 균일하지 않은 플로팅 게이트에 의해 플래시 메모리 소자의 결함이 발생하게 된다.
- <12> 플로팅 게이트 전극 표면의 거칠기가 증가하여 전계가 일정영역에 집중되는 현상이 발생하고, 플로팅 게이트와 컨트롤 게이트 사이의 유전체막의 효과적인 두께 확보가 어렵고, 누설전류의 증가로 인해 플래시 메모리 셀의 저장 특성을 개선시키기 어려운 문제가 발생한다.

【발명이 이루고자 하는 기술적 과제】

<13> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 N_2O 가스를 이용하여 플로팅 게이트 전극 표면의 거칠기를 개선하고, 그 상부에 형성되는 유전체막의 특성을 향상시켜 게이트 전극 표면의 전계 집중을 억제하고, 유전체막의 누설전류 발생을 감소하며 차지 투 브레이크다운(Charge To Breakdown)이 증가하며 브레이크다운 영역(Breakdown)이 증가하여 플래시 메모리 셀의 저장 특성을 개선할 수 있는 반도체 소자의 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<14> 본 발명에 따른 플로팅 게이트 전극이 형성된 반도체 기판이 제공되는 단계와, 상기 플로팅 게이트 전극 상부를 리리하는 단계와, 상기 결과물의 단차를 따라 유전체막을 형성하는 단계 및 상기 유전체막 상부에 콘트롤 게이트 전극용 물질막을 형성하는 단계를 포함하되, 상기 플로팅 게이트 전극 상부를 질화처리하는 단계와 상기 유전체막을 형성하는 단계를 동일 챔버 내에서 인-시츄로 진행하는 것을 특징으로 하는 반도체 소자의 제조 방법을 제공한다.

<15> 또한, 플로팅 게이트 전극이 형성된 반도체 기판을 증착 챔버 내로 로딩하는 단계와, 상기 증착 챔버 내의 온도를 제 1 증착 온도로 변화시키는 단계와, 상기 제 1 증착 온도에서 상기 플로팅 게이트 전극 상부를 질화처리하는 단계와, 상기 증착 챔버 내의 온도를 제 2 증착 온도범위로 변화시키는 단계와, 상기 제 2 증착 온도범위에서 단차를 따라 제 1 산화막, 질화막 및 제 2 산화막을 순차적으로 증착하여 유전체막을 형성하는

단계 및 상기 반도체 기판을 증착 챔버에서 언로딩하는 공계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법을 제공한다.

<16> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명하기로 한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<17> 도 1a 내지 도 1g는 본 발명에 따른 반도체 소자의 제조 방법에 관해 설명하기 위한 단면도들이다.

<18> 도 1a를 참조하면, 반도체 기판(10) 상에 기판 표면의 결정결함 억제 또는 표면처리 및 이온주입시 버퍼층 역할을 하는 스크린 산화막(미도시)을 증착한 다음 이온주입을 실시하여 웰을 형성한다. 상기 스크린 산화막을 제거한 다음 터널 산화막(12), 제 1 폴리실리콘막(14) 및 패드 질화막(16)을 증착한다.

<19> 구체적으로, 상기 스크린 산화막 형성전 반도체 기판(10)의 세정을 위해 H_2O 와 HF의 혼합비율이 50:1인 DHF(Dilute HF)와 NH_4OH , H_2O_2 및 H_2O 로 구성된 SC-1(Standard Cleaning - 1)을 이용하거나, NH_4F 와 HF의 혼합비율이 100:1 내지 300:1인 BOE(Buffered Oxide Etch)와 NH_4OH , H_2O_2 및 H_2O 로 구성된 SC-1을 이용하여 전처리 세정공정을 실시한

다. 750 내지 800℃의 온도범위 내에서 건식 또는 습식 산화를 실시하여 30 내지 120Å 두께의 상기 스크린 산화막을 형성한다.

<20> 이온 주입 후, H₂O 와 HF의 혼합비율이 50:1인 DHF와, NH₄OH, H₂O₂ 및 H₂O로 구성된 SC-1을 이용하여 상기 스크린 산화막을 식각한다. 터널 산화막(12)을 750 내지 800℃의 온도에서 습식 산화방식으로 85 내지 110Å의 두께로 형성하고, 터널 산화막(12) 증착 후 900 내지 910℃의 온도에서 N₂를 이용하여 20 내지 30분간 열처리 공정을 실시함으로써 터널 산화막(12)과 반도체 기판(10)간의 계면의 결함 밀도를 최소화한다.

<21> 터널 산화막(12) 상부에 480 내지 550℃의 온도와 0.1 내지 3.0torr의 압력 하에서 화학 기상 증착법(Chemical Vapor Deposition; CVD), 저압 화학 기상 증착법(Low Pressure CVD; LP-CVD), 플라즈마 인핸스드 화학 기상 증착법(Plasma Enhanced CVD; PE-CVD) 또는 대기압 화학 기상 증착법(Atmospheric Pressure CVD; AP-CVD) 방식으로 SiH₄ 또는 Si₂H₆ 와 PH₃ 가스를 이용하여 300 내지 500Å의 두께로 P 농도가 1.0E20 내지 5.0E20atoms/cc 정도 도핑된 비정질 실리콘 막인 제 1 폴리 실리콘막(14)을 증착한다. 이로써 제 1 폴리 실리콘막(14)의 입도가 최소화 되어 전계 집중을 방지할 수 있다. 제 1 폴리 실리콘막(14) 상에 LP-CVD 방법으로 약 900 내지 2000Å 정도의 높은 두께로 패드 질화막(16)을 형성한다.

<22> 도 1b를 참조하면, 패드 질화막(16), 제 1 폴리 실리콘막(14), 터널 산화막(12) 및 반도체 기판(10)을 ISO(Isolation) 마스크 패터닝(ISO mask

patterning)을 통해 순차적으로 식각하여 STI(Shallow Trench Isolation)구조의 트렌치(trench; 18)를 형성하여 활성 영역과 필드 영역을 정의한다. STI 구조의 트렌치(18) 측벽의 식각 데미지(Damage)를 보상하기 위한 건식산화공정을 실시하여 트렌치(18)의 코너부분을 라운딩한다. 전체 구조 상부에 고온 산화막(High Temperature Oxide; HTO)을 얇게 증착하고 고온에서 치밀화 공정을 수행하여 라이너 산화(liner oxide)막(미도시)을 형성한다. 물론 상술한 라이너 산화막 증착 공정을 생략하여 공정을 단순화 할 수 있다.

<23> 구체적으로, 전체 구조 상부에 감광막을 도포한 다음 감광막 마스크를 이용한 포토 리소그래피 공정을 실시하여 감광막 패턴(미도시)을 형성한다. 상기 감광막 패턴을 식각 마스크로 하는 식각공정을 실시하여 패드 질화막(16), 제 1 폴리 실리콘막(14), 터널 산화막(12) 및 반도체 기판(10)을 식각하여 STI 구조의 트렌치(18)를 형성한다. 트렌치를 형성함에 있어서 반도체 기판은 65 내지 85°정도의 특정한 기울기를 갖도록 식각을 수행한다. 상술한 식각공정에 의한 트렌치(18) 측벽의 데미지를 보상하고, 트렌치 상부 코너(Corner)를 라운딩(Rounding)화하기 위해 750 내지 900℃의 온도 범위 내에서 건식 산화공정을 실시하여 측벽 산화막(20)을 50 내지 150Å 두께로 형성한다. 종래보다 낮은 건식 산화공정을 실시하여 웰 또는 문턱전압(Vt)조절을 위해 주입되어 있는 이온들의 확산을 최소화하여 정상적인 정선과 웰을 유지한다.

<24> 후속 공정의 산화막과 트렌치(18) 간의 접착특성을 향상시키고, 모우트(Moat) 발생을 방지하기 위하여 DCS(Dichloro Silane; SiH_2Cl_2)가스를 이용하여 형성된 HTO로 50 내지 150Å의 두께만큼 증착한 후, 1000 내지 1100℃의 온도에서 N_2 를 이용하여 20 내지 30분간 고온 치밀화 공정을 수행하여 라이너 산화막(미도시)을 형성한다. 고온 치밀화

공정으로 인해 라이너 산화막의 조직이 치밀해져 식각 저항성을 증가시키고 STI 구현시 모우트 형성을 억제하며 또한 누설 전류 방지에 도움을 준다.

- <25> 도 1c를 참조하면, 전체 구조 상부에 고밀도 플라즈마(High Density Plasma; HDP) 산화막(22)을 증착하여 트렌치(18) 내부를 매립한다. 패드 질화막(16)을 정지층으로 하는 평탄화 공정을 실시하여 패드 질화막(16) 상의 HDP 산화막(20) 및 라이너 산화막을 제거한다. 이로써 소자간의 고립을 위한 소자 분리막을 형성한다.
- <26> 구체적으로, 트렌치(18) 공백을 채우기 위해 4000 내지 10000 Å 정도의 두께로 HDP(High Density Plasma) 산화막(22)을 형성한다. 이때 트렌치(18) 내부에 빈 공간이 형성되지 않도록 상기 HDP 산화막(22)을 증착한다.
- <27> CMP를 이용한 평탄화 공정을 수행한 후 패드 질화막(16)상에 잔존할 가능성이 있는 산화막을 제거하기 위해 BOE또는 HF를 이용한 포스트 세정 공정을 실시한다. 이때 과도한 식각이 되어 HDP 산화막(22)의 높이가 감소하는 것을 최대한 억제해야 한다. HDP 산화막(22)은 트렌치 내부를 매립하고, 그 상부가 돌출된 형태가 되어 후속 공정에 의해 형성되는 플로팅 게이트전극들을 서로 고립을 하는 소자 분리막이 된다.
- <28> 도 1d 및 도 1e를 참조하면, 인산(H_3PO_4)을 이용한 질화막 스트립(nitride strip) 공정을 수행하여 패드 질화막(16)을 식각한다. DHF를 이용한 전처리 세정 공정을 실시하여 제 1 폴리 실리콘막(14) 상부에 형성된 자연산화막과 잔류물들을 제거한다. 전체 구조 상부에 제 2 폴리 실리콘막(26)을 증착한 다음, 패터닝 공정을 실시하여 플로팅 게이트전극(30)을 형성한다.

- <29> 구체적으로, 스트립 공정을 실시하여 제 1 폴리 실리콘(14)은 노출시킨 다음, 습식 세정공정을 실시하여 제 1 및 제 2 폴리 실리콘막(14 및 26)간의 계면효과를 최소화한다.
- <30> 전체 구조 상부에 480 내지 550℃의 온도와 0.1 내지 3.0torr의 압력 하에서 CVD, LP-CVD, PE-CVD 또는 AP-CVD 방식으로 SiH_4 또는 Si_2H_6 와 PH_3 가스를 이용하여 1000 내지 3000 Å의 두께로 P 농도가 $1.0\text{E}20$ 내지 $5.0\text{E}20\text{atoms/cc}$ 정도 도핑된 비정질 실리콘막인 제 2 폴리 실리콘막(26)을 증착한다. 이에 한정되지 않고, 제 2 폴리 실리콘막(26)을 플래시 메모리 소자의 커플링 비를 최대화 할 수 있는 두께로 형성한다.
- <31> 제 2 폴리 실리콘막(26) 상부에 감광막을 도포한 다음 플로팅 게이트용 마스크를 이용한 포토리소그래피 공정을 실시하여 감광막 패턴(미도시)을 형성한다. 상기 감광막 패턴을 식각 마스크로 하는 식각공정을 실시하여 플로팅 게이트 전극(30)을 형성한다. 이때 노출된 HDP 산화막(22)의 일부를 제거하는 과도식각을 통해 HDP 산화막(22) 상부가 리세스되도록 형성하여 플로팅 게이트 전극(30)의 고립을 확실히 하되, HDP 산화막(22)의 손실이 최소화 되도록 한다.
- <32> 도 2는 본 발명에 따른 표면처리 공정과 유전체막 증착 공정을 설명하기 위한 개념도이다.
- <33> 도 1f 및 도 2를 참조하면, 세정 공정을 실시하여 플로팅 게이트 전극(30)을 포함한 전체 구조 표면에 형성된 자연산화막을 제거한 다음, 표면처리 공정을 실시하여 전체 구조 표면을 질화처리한다. 전체 구조 상부에 그 단차를 따라 유전체막(40)을 형성한다. 이때 상술한 모든 공정을 인-시츄(In-Situ)로 진행하여 공정의 단순화와 원가절감을 할 수 있다.

- <34> 구체적으로, 플로팅 게이트 전극(30) 상부에 표면처리를 실시하여 질화층(32)을 형성하고, ONO(제 1 산화막(34)-질화막(36)-제 2 산화막(38); $\text{SiO}_2\text{-Si}_3\text{N}_4\text{-SiO}_2$)구조의 유전체막(40)을 형성한다. 플로팅 게이트 전극(30)이 형성된 반도체 기판(10)을 400 내지 700℃ 온도와 N_2 가스 분위기 상태의 증착 챔버로 로딩한다(도 2의 A영역). 일정시간 동안 챔버의 온도를 800℃ 이상으로 급속 상승 시킨 다음(도 2의 B영역), 850 내지 950℃의 온도와 10 내지 760torr의 압력하에서 100 내지 10000sccm의 N_2O 가스를 유입하여 5 내지 60 분간 어닐링(Annealing)을 실시한다(도 2의 C영역). 이로써 전체 구조 표면에 얇은 질화층(32)이 형성된다.
- <35> N_2O 가스를 이용한 어닐링공정 후, 일정시간 동안 챔버의 온도를 750℃ 까지 하강한다(도 2의 D영역). 0.1 내지 3torr의 낮은 압력과 790 내지 830℃의 온도하에서 증착 가스로 DCS(Dichloro Silane; SiH_2Cl_2) 가스를 챔버에 더 주입하되, DCS 와 N_2O 의 비율이 1 : 5 내지 1 : 10이 유지되도록 두 가스를 조절하여 전체 구조의 단차를 따라 제 1 산화막(34)을 형성한다(도 2의 E영역). 제 1 산화막(34)은 35 내지 100Å 두께의 고온 산화막(Hot Temperature Oxide)으로 형성한다.
- <36> 챔버에 유입되는 N_2O 가스의 유입을 막고, NH_3 가스를 주입하여 제 1 산화막(34) 상부에 DCS 가스와 NH_3 가스를 소스로 하는 질화막(36)을 형성한다(도 2의 F영역). 증착 조건으로는 0.1 내지 3torr의 낮은 압력과 650 내지 800℃의 온도하에서 화학 기상 증착법을 이용하여 50 내지 100Å 두께의 질화막(36)을 증착한다.
- <37> 챔버에 유입되는 NH_3 가스의 유입을 막고, N_2O 가스와 DCS 가스를 계속 주입하여 질화막(36) 상부에 제 2 산화막(38)을 형성한다(도 2의 G영역). 제 2 산화막(38) 증착 조건은 제 1 산화막(34) 증착 조건과 동일한 조건에서 실시하되, 어닐링 공정은 실시하

지 않는다. 제 2 산화막(38)을 35 내지 150Å 두께로 형성한다. 일정시간 동안 챔버의 온도를 400 내지 700℃ 까지 하강한 다음(도 2의 H영역), 반도체 기판을 언로딩(Unloading) 한다(도 2의 I영역). 이때 제 1 산화막, 질화막 및 제 2 산화막을 동일한 온도에서 증착할 수 있다.

<38> ONO구조의 유전체막(40) 형성 후 ONO의 질을 향상시키고 각 층간의 인터페이스(interface)를 강화하기 위해 습식 산화방식으로 약 750 내지 800℃ 온도에서 모니터링 웨이퍼(monitored wafer)를 기준으로 약 150 내지 300Å의 두께로 산화 되도록 스팀 어닐(steam anneal)을 수행할 수 있다. 나아가 상기 ONO공정과 상기 스팀 어닐을 수행시 각 공정간의 지연시간이 수 시간 이내의 시간 지연이 없는 공정을 진행하여 자연 산화막 또는 불순물에 오염되는 것을 방지하도록 한다.

<39> 도 1g를 참조하면, 컨트롤 게이트를 형성하기 위한 물질막인 제 3 폴리 실리콘막(42)과 텅스텐 실리사이드막(WSi_x ; 44)을 순차적으로 증착한다.

<40> 구체적으로, 제 3 폴리 실리콘막(42)은 텅스텐 실리사이드막(44) 증착시 유전체막(40)에 치환 고용되어 산화막 두께를 증가시킬 수 있는 불산의 확산을 방지하고, 텅스텐(W)과 인(P)의 결합을 통해 형성되는 WP_x 층의 생성을 방지하기 위해 도핑처리된 막과 도핑처리되지 않은 막(doped and undoped)의 2중구조로, 약 510 내지 550℃의 온도와 1.0 내지 3torr의 압력 하에서 CVD, PE-CVD, LP-CVD 또는 AP-CVD을 이용하여 비정질 실리콘 막으로 증착하는 것이 바람직하다. 이로써 후속 텅스텐 실리사이드막(44)이 부풀어 오르는 현상(Blowing-up)을 방지할 수 있다. 도핑처리된 막과 도핑처리되지 않은 막의 비율을 1:2 내지 6:1의 비율로 하고, 제 2 폴리 실리콘막(26) 사이의 공간이 충분히 매

럼이 되도록 약 500 내지 1500 Å 두께로 비정질 실리콘막을 형성함으로써, 후속 텅스텐 실리사이드막(44) 증착시 틈 형성을 억제하여 워드라인 저항(R_s)을 감소시킬 수 있다. 상기의 2층 구조의 제 3 폴리 실리콘막(42)을 형성할 때 SiH_4 또는 Si_2H_6 와 PH_3 가스를 이용하여 도핑처리된 막을 형성하고 이후 PH_3 가스를 차단하고 연속적으로 도핑처리되지 않은 막을 형성하는 것이 바람직하다.

<41> 텅스텐 실리사이드막(44)을 낮은 불소 함유와 낮은 포스트 어닐드 스트레스(post annealed stress) 그리고 좋은 접착 강도를 갖는 $MS(SiH_4)$ 또는 $DCS(SiH_2Cl_2)$ 와 WF_6 의 반응을 이용하여 300 내지 500°C 사이의 온도에서 적절한 스텝 커버리지(step coverage)를 구현하고, 워드라인 저항(R_s)을 최소화시킬 수 있는 화학적양론비인 2.0 내지 2.8 정도로 성장시키는 것이 좋다.

<42> 텅스텐 실리사이드막(44)상에 SiO_xN_y 또는 Si_3N_4 를 이용하여 도포되지 않은 ARC층을 증착하고, 게이트 마스크와 에칭(Gate mask and etching)공정과 셀프 얼라인드 마스크와 에칭(Self aligned mask and etching) 공정을 수행하여 플래시 메모리 셀을 형성한다.

【발명의 효과】

<43> 상술한 바와 같이, 본 발명은 플로팅 게이트를 형성한 다음 질화 공정을 실시하여 플로팅 게이트 전극 상부에 질화층을 형성함으로써, 유전체막의 특성을 개선하여 누설전류(Leakage Current), 브레이크다운 영역(Breakdown Field) 및 차지 투 브레이크다운

(Charge To Breakdown)의 특성을 개선하며, 플로팅 게이트 전극 표면의 거칠기를 개선할 수 있다.

<44> 또한, 질화공정과 유전체막 형성공정을 하나로 진행하여 공정을 단순화할 수 있다.

<45> 또한, 복잡한 공정이나 장비의 추가 소요 없이 기존의 장비와 공정을 이용하여 응용 및 적용 가능하여 낮은 비용으로 높은 신뢰성을 갖는 소자를 형성할 수 있다.

【특허청구범위】

【청구항 1】

(a) 플로팅 게이트 전극이 형성된 반도체 기판이 제공되는 단계;

(b) 상기 플로팅 게이트 전극 상부를 리리하는 단계;

(c) 상기 결과물의 단차를 따라 유전체막을 형성하는 단계; 및

(d) 상기 유전체막 상부에 콘트롤 게이트 전극용 물질막을 형성하는 단계를 포함하
되,

상기 플로팅 게이트 전극 상부를 질화처리하는 단계와 상기 유전체막을 형성하는
단계를 동일 챔버 내에서 인-시츄로 진행하는 것을 특징으로 하는 반도체 소자의 제조
방법.

【청구항 2】

제 1 항에 있어서,

상기 유전체막은 제 1 산화막, 질화막 및 제 2 산화막이 순차적으로 적층된 ONO구
조인 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 3】

제 1 항에 있어서, 상기 동일 챔버내에서 인-시츄로 진행하는 상기 (b) 단계와 상
기 (c)단계는,

800 내지 950℃ 온도 하에서 100 내지 10000sccm의 N_2O 가스를 유입하여 상기 플로팅 게이트 전극 상부를 질화처리하는 단계;

0.1 내지 3torr의 압력과 790 내지 830℃의 온도 하에서 N_2O 가스와 $DCS(SiH_2Cl_2)$ 가스를 유입하여 단차를 따라 제 1 산화막을 형성하는 단계;

0.1 내지 3torr의 압력과 650 내지 800℃의 온도 하에서 DCS 가스와 NH_3 가스를 유입하여 상기 제 1 산화막 상에 질화막을 형성하는 단계; 및

0.1 내지 3torr의 압력과 790 내지 830℃의 온도 하에서 N_2O 가스와 $DCS(SiH_2Cl_2)$ 가스를 유입하여 상기 질화막 상에 제 2 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 4】

제 2 항에 있어서,

상기 $DCS(SiH_2Cl_2)$ 가스와 N_2O 가스의 비율은 1 : 5 내지 1 : 10 인 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 5】

제 1 항에 있어서, 상기 플로팅 게이트 전극의 형성은,

상기 반도체 기판 상에 터널 산화막, 제 1 폴리 실리콘막 및 패드 질화막을 순차적으로 형성하는 단계;

패터닝 공정을 통해 상기 패드 질화막, 상기 제 1 폴리 실리콘막, 상기 터널 산화막 및 상기 반도체 기판의 일부를 식각하여 상기 반도체 기판 내에 트렌치를 형성하는 단계;

상기 트렌치를 포함한 전체구조 상부에 산화막을 증착한 후, 상기 패드 질화막이 노출되도록 상기 산화막을 평탄화하는 단계;

상기 패드 질화막을 식각한 다음, 전체구조 상부에 제 2 폴리 실리콘막을 증착하는 단계; 및

상기 제 2 폴리 실리콘을 패터닝하여 플로팅 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 6】

제 1 항에 있어서, 상기 (c) 단계와 상기 (d) 단계 사이에,

상기 유전체막의 두께가 150 내지 300Å이 되도록 약 750 내지 800℃ 온도에서 습식 산화방식의 스팀 어닐을 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 7】

(a)플로팅 게이트 전극이 형성된 반도체 기판을 증착 챔버 내로 로딩하는 단계;

(b)상기 증착 챔버 내의 온도를 제 1 증착 온도로 변화시키는 단계;

(c) 상기 제 1 증착 온도에서 상기 플로팅 게이트 전극 상부를 질화처리하는 단계;

(d)상기 증착 챔버 내의 온도를 제 2 증착 온도범위로 변화시키는 단계;

(e) 상기 제 2 증착 온도범위에서 단차를 따라 제 1 산화막, 질화막 및 제 2 산화막을 순차적으로 증착하여 유전체막을 형성하는 단계; 및

(f)상기 반도체 기판을 증착 챔버에서 언로딩하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 8】

제 7 항에 있어서,

상기 제 1 증착 온도는 800 내지 950℃이고, 상기 제 2 증착 온도범위는 650 내지 830℃인 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 9】

제 7 항에 있어서, 상기 (c)단계는,

상기 증착 챔버내에 N_2O 가스를 유입하여 플로팅 게이트 전극 위부를 질화 처리하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 10】

제 7 항에 있어서, 상기 (e)단계는,

상기 증착 챔버내에 N_2O 가스와 $DCS(SiH_2Cl_2)$ 가스를 유입하여 제 1 산화막을 형성하는 단계;

상기 증착 챔버내에 NH_3 가스와 $\text{DCS}(\text{SiH}_2\text{Cl}_2)$ 가스를 유입하여 상기 제 1 산화막 상부에 질화막을 형성하는 단계; 및

상기 증착 챔버내에 N_2O 가스와 $\text{DCS}(\text{SiH}_2\text{Cl}_2)$ 가스를 유입하여 상기 질화막 상부에 제 2 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

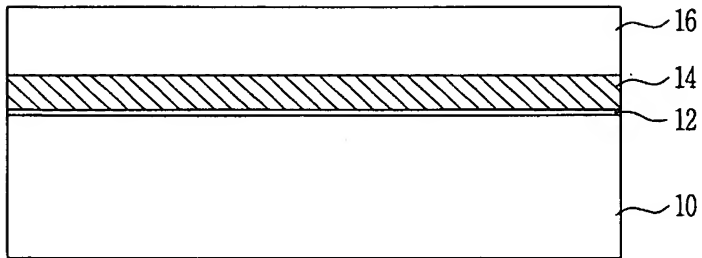
【청구항 11】

제 10 항에 있어서,

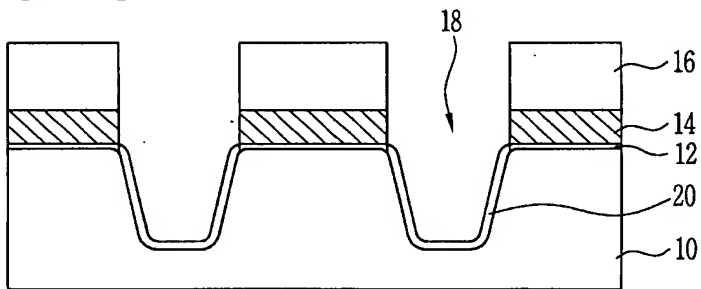
상기 $\text{DCS}(\text{SiH}_2\text{Cl}_2)$ 가스와 N_2O 가스의 비율은 1 : 5 내지 1 : 10 인 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

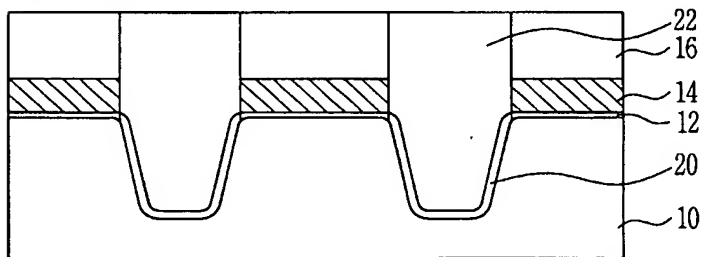
【도 1a】



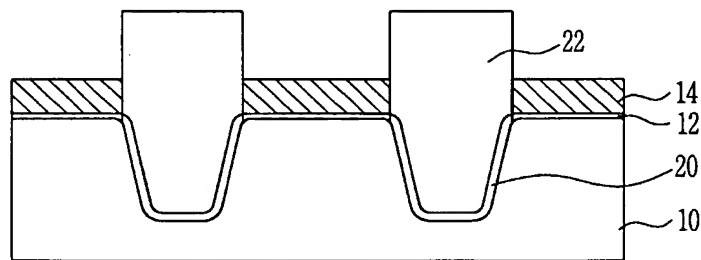
【도 1b】



【도 1c】

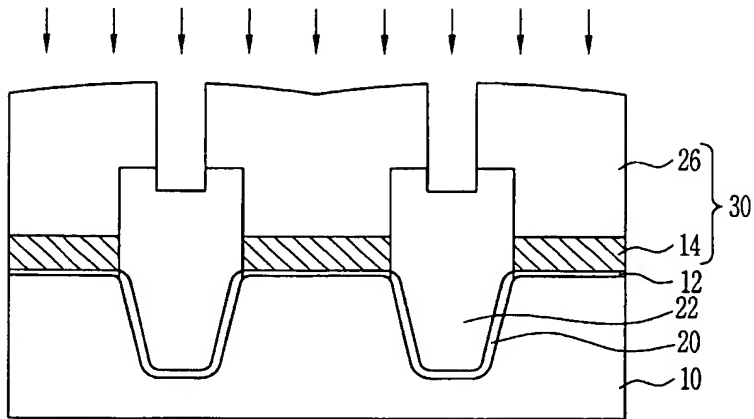


【도 1d】

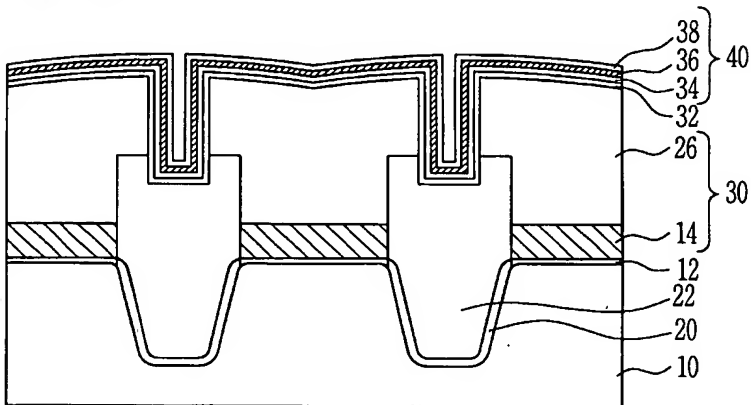


【도 1e】

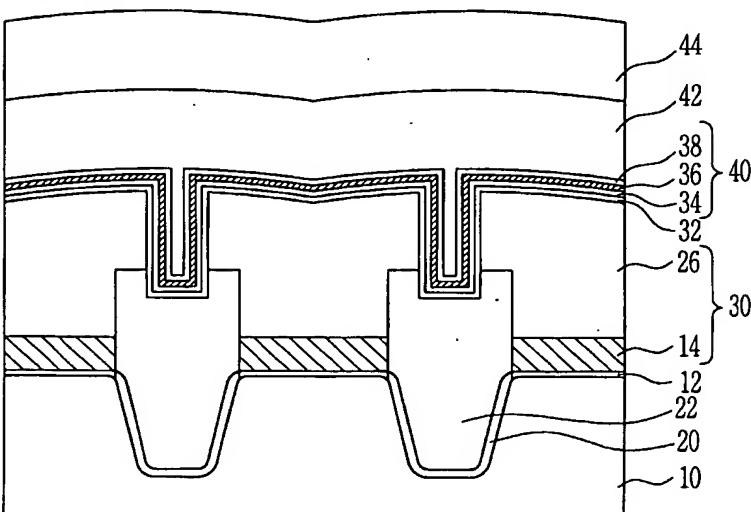
질화 공정, 유전체막 형성 공정



【도 1f】



【도 1g】



【도 2】

